

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-076079
(43)Date of publication of application : 14.03.2000

(51)Int.Cl. G06F 9/46

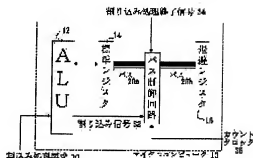
(21)Application number : 10-249321 (71)Applicant : NEC CORP
(22)Date of filing : 03.09.1998 (72)Inventor : TANIGUCHI HIROYUKI

(54) MICROCOMPUTER

(57)Abstract:

PROBLEM TO BE SOLVED: To transit to interrupting processing at high a speed at the time of interruption occurrence.

SOLUTION: A saving register 16 to be used for holding the same data as data held in a standard register 14 is provided in addition to the standard register 12 to be used for an ALU 12 at the time of ordinary operation, data in the standard register 16 flow to the saving register 16 by a bus control circuit 18 at the time of ordinary operation, data held in the standard register 14 flow to the saving register 16 and when an interruption occurs, the flow of data from the standard register 14 to the saving register 16 is stopped. When the interruption processing is finished, the flow of data between the standard register 14 and saving register 16 is controlled so as to let the data held in the saving register 16 flow to the standard register 14 and to hold them.



LEGAL STATUS

[Date of request for examination] 03.09.1998

[Date of sending the examiner's decision of rejection] 13.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-76079

(P2000-76079A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl.⁷

G 0 6 F 9/46

識別記号

3 1 3

F I

G 0 6 F 9/46

テ-マ-ド- (参考)

3 1 3 B 5 B 0 9 8

審査請求 有 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平10-249321

(22) 出願日 平成10年9月3日 (1998.9.3)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者

谷口 啓之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100104916

弁理士 古溝 聡 (外1名)

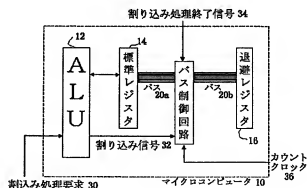
Fターム(参考) 5B09B BB01 BB18 DD03 DD08 GA01

(54) 【発明の名称】 マイクロコンピュータ

(57) 【要約】

【課題】 割り込み発生時に高速に割り込み処理に移移することを可能にする。

【解決手段】 通常の動作時にALU12が使用する標準レジスタ12の他に、標準レジスタ14に保持されるデータと同じデータを保持するために使用する退避レジスタ16を設け、バス制御回路18によって、通常の動作時に標準レジスタ16のデータを退避レジスタ16に流して、標準レジスタ14に保持されたデータを退避レジスタ16に退避させ、割り込みが発生した時に表準レジスタ14から退避レジスタ16へのデータの流を停止し、割り込み処理が終了した時、退避レジスタ16が保持するデータを標準レジスタ14に流して保持させるように、標準レジスタ14と退避レジスタ16との間のデータ流れを制御する。



【特許請求の範囲】

【請求項1】演算器と、

通常の動作時に前記演算器が使用する標準レジスタと、前記標準レジスタに保持されるデータと同じデータを保持するための退避レジスタと、

通常の動作時に前記標準レジスタのデータを前記退避レジスタに流して、前記標準レジスタに保持されるデータを前記退避レジスタに退避させ、割込みが発生した時に前記標準レジスタから前記退避レジスタへのデータの流を停止し、割込み処理が終了した時、前記退避レジスタが保持するデータを前記標準レジスタに流して保持させるように、前記標準レジスタと前記退避レジスタとの間のデータ流れを制御する制御回路とを具備したことを特徴とするマイクロコンピュータ。

【請求項2】前記退避レジスタは、前記標準レジスタとの数と同数だけあり、前記標準レジスタと前記退避レジスタとは、前記制御回路を介して対応するもの同士が専用バスで結合されていることを特徴とする請求項1に記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロコンピュータに係り、特に割込み機能を有するマイクロコンピュータに関する。

【0002】

【従来の技術】従来のマイクロコンピュータは、通常、図5に示すように、ALU2がレジスタ4にデータを読み書きしながら動作している。また、割込み処理が発生した場合には、図6のように、割込み処理前のレジスタ22に保持されたデータを、RAMに確保されるメモリ領域6に退避して割込み処理に移す。

【0003】割込み処理が終了すると、メモリ領域6に退避されていた、割込み処理前のレジスタ4の内容8をレジスタ4に書き戻して、割込み処理前の処理を継続する。

【0004】従来のマイクロコンピュータでは、割込み要求が発生した場合、ソフトウェアによってレジスタ4に保持されたデータをメモリ領域6へ退避させ、割込み処理が終了した後に、メモリ領域6からレジスタにデータを書き戻す処理が行われている。

【0005】

【発明が解決しようとする課題】このように従来のマイクロコンピュータでは、割込みが発生した際、ソフトウェアによりレジスタ2に保持されたデータをRAMに確保されるメモリ領域6の退避し、割込み処理が終了した後、退避したデータの書き戻しを行っていた。

【0006】すなわち、ソフトウェアによるレジスタに保持されたデータの退避と書き戻しの処理では、割込み処理に移すまでの時間が大きくなり、瞬時に割込み

処理に移すことが出来なかった。また、レジスタのデータの退避と書き戻しの処理をソフトウェアにより行うことで、その分、プログラムのコードサイズが大きくなっていった。

【0007】このような問題を解決するため、特開平4-7642号公報において、レジスタと同一の構成を持つ退避用レジスタを設けたマイクロコンピュータが提案されている。このマイクロコンピュータによれば、割込み処理に移すまでの時間を短縮することができる。しかし、このマイクロコンピュータでは、退避用レジスタの内容をさらに内蔵RAMのスタックに転送している。そして、割込みから復帰するときは、スタックから読み出して汎用レジスタへの書き戻しを行っていた。このため、このマイクロコンピュータでも、割込み処理から復帰する場合の処理時間が大きいことや、書き戻し時のソフトウェアの負担が大きいなどの課題を解決するものではなかった。

【0008】本発明は、前記のような事情を考慮してなされたもので、割込み発生時に高速に割込み処理に移し、かつ割込みからの復帰を高速に行うことが可能なマイクロコンピュータを提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、通常の動作時に演算器が使用する標準レジスタの他に、標準レジスタに保持されるデータと同じデータを保持するために使用する退避レジスタを設け、制御回路によって、通常の動作時に標準レジスタのデータを退避レジスタに流して、標準レジスタに保持されたデータを退避レジスタに退避させ、割込みが発生した時に標準レジスタから退避レジスタへのデータの流を停止し、割込み処理が終了した時、退避レジスタが保持するデータを標準レジスタに流して保持させるように、標準レジスタと退避レジスタとの間のデータ流れを制御することで、標準レジスタに保持されたデータが、常時、退避レジスタに保持されるようにすることで、割込み発生時のレジスタの退避処理を不要にしている。

【0010】ここで、退避レジスタは、標準レジスタとの数と同数だけ設け、標準レジスタと退避レジスタの対応するもの同士を、制御回路を介して専用バスで結合することを好適とする。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0012】図1は、本実施形態に係るマイクロコンピュータ10の概略構成を示すブロック図である。図1に示すように、マイクロコンピュータ10には、ALU12、標準レジスタ14、退避レジスタ16、バス制御回路18が含まれて構成される。

【0013】ALU12（演算器）には、ALU12が通常の動作をする際に使用する標準レジスタ14が接続

されている。標準レジスタ14は、バス20a、バス制御回路18、及びバス20bを介して退避レジスタ16に接続されている。退避レジスタ16は、バス制御回路18の制御により、バス20a、20bを介して得られる標準レジスタ14に保持されたデータを保持（退避）するために使用される。

【0014】ALU12は、マイクロコンピュータ12の外部からの割込み要求を受け付けるための割込み処理要求30が入力される。また、ALU12は、割込み処理要求30に応じた割込み信号32をバス制御回路18に出力する。

【0015】バス制御回路18は、外部からの割込み処理終了信号34とカウントクロック36が入力される。バス制御回路18は、外部からの割込み処理終了信号34とALU12からの割込み信号32により、バス20a、20bに流れる信号の方向、すなわち標準レジスタ14と退避レジスタ16との間のデータの流を制御する。

【0016】バス制御回路18は、通常の動作時に標準レジスタ14に保持されたデータを退避レジスタ16に流して、標準レジスタ14と退避レジスタ16とが保持するデータを同じとし、割込みが発生した時に標準レジスタ14から退避レジスタ16へのデータの流を停止し、割込み処理が終了した時、退避レジスタ16が保持するデータを標準レジスタ14に流して保持させるように、標準レジスタ14と退避レジスタ16との間のデータの流を制御する。

【0017】図2は、図1中に示す標準レジスタ14、退避レジスタ16、及びバス制御回路18の関係を示す詳細な構成を示すブロック図である。図2に示すように、標準レジスタ14と退避レジスタ16は、同一の構成を持っている。標準レジスタ14と退避レジスタ16との間のバス20a、20bは、レジスタを構成するビットごとにバス制御回路18を介して接続されている。

【0018】図3は、図2中に示すバス制御回路18の詳細な構成を示すブロック図である。図3に示すように、バス制御回路18には、カウンタ40、比較器A42、比較器B44、及び信号方向変更回路46が設けられている。

【0019】カウンタ40は、割込み処理要求30とカウントクロック36が入力される。カウンタ40には、比較器A42と比較器B44が接続される。比較器A42には、カウンタ40からの出力と割込み信号32とが入力される。比較器B44には、カウンタ40からの出力と割込み処理要求30とが入力される。

【0020】信号方向変更回路46は、バス20aを介して標準レジスタ14の各ビットと接続され、バス20bを介して退避レジスタ16の各ビットと接続される。信号方向変更回路46には、標準レジスタ14から退避レジスタ16へのデータの流を制御するスイッチA

と、退避レジスタ16から標準レジスタ14へデータ流を制御するスイッチBが、バス20a、20bを構成する信号線各一本ごとに並列に接続されている。スイッチAは、比較器A42からの信号によってオン/オフが制御される。スイッチBは、比較器B44からの信号によってオン/オフが制御される。

【0021】次に、本実施形態におけるマイクロコンピュータ10の動作について説明する。マイクロコンピュータ10が通常の動作を行っている時には、ALU12は、標準レジスタ14を使用して動作している。また、バス制御回路18は、信号方向変更回路46のスイッチAを比較器A42によりオンさせ、標準レジスタ14から退避レジスタ16へのデータの流を有効にしている。（なお、信号方向変更回路46のスイッチBを比較器B44によりオフさせている）。従って、ALU12による通常の動作に伴って標準レジスタ14に書き込まれたデータは、退避レジスタ16にも即座に反映されて保持される。つまり、標準レジスタ14に保持されたデータが、常時、退避レジスタ16に退避されている。

【0022】一方、ALU12は、割込み処理要求30が外部より入力されると、割込み信号32をバス制御回路18に出力する。バス制御回路18は、比較器A42により割込み信号32を入力する。比較器A42は、割込み信号32に応じて信号方向変更回路46のスイッチAをオフする。すなわち、標準レジスタ14から退避レジスタ16へのデータの流を停止させる。

【0023】このデータの流の停止により、割込み信号32がバス制御回路18に入力される直前、すなわち割込み処理が開始される前の標準レジスタ14に保持されたデータが退避レジスタ16に保持されていることになる。従って、標準レジスタ14に保持されたデータに対する退避処理を行なうことなく、マイクロコンピュータ10は、即座に割込み処理に移移することが出来る。

【0024】割込み処理が終了すると割込み処理終了信号34がバス制御回路18に入力される。バス制御回路18は、比較器B44により割込み処理終了信号34を入力する。比較器B44は、割込み処理終了信号34に応じて信号方向変更回路46のスイッチBをオンする。すなわち、退避レジスタ16から標準レジスタ14へのデータの流を有効にする（スイッチAはオフ状態のまま）。

【0025】この退避レジスタ16から標準レジスタ14へのデータの流を有効にすることで、退避レジスタ16に保持されていたデータ、すなわち割込み処理前に退避されていたデータが標準レジスタ14に書き戻される。

【0026】標準レジスタ14にデータを書き戻す作業が終了すると、バス制御回路18は通常の動作に戻り、ALU12により標準レジスタ14に書き込まれたデータが退避レジスタ16にも反映されるように、比較器A

42によりスイッチAをオン、比較器B44によりスイッチBをオフさせる。これにより、標準レジスタ14に保持されたデータが、常時、退避レジスタ16に退避される。

【0027】図4は、各信号のタイミングを示すタイミングチャートである。図4を参照すると、通常動作中に割込み要求が発生すると、T0でマイクロコンピュータ10からの割込み処理要求30がALU12に入力される。ALU12は、割込み処理を行い割込み信号32をバス制御回路18に出力する。

【0028】この割込み信号32の立ち下がりT1で比較器A42がオフとなる。比較器A42の出力がオフとなるとスイッチAもT2でオフとなる。T2がオフとなっているので標準レジスタ14から退避レジスタ16へのデータの流れるも停止する。ここから割込み処理に遷移して割込み処理が実行される。

【0029】割込み処理が終了すると割込み処理終了信号34がバス制御回路18のカウント40と比較器B44に入力される。この割込み処理終了信号34の立ち下がりT3で比較器B44がオンとなる。比較器B44の出力がオンになるとスイッチBもT4でオンとなり、退避レジスタ16から標準レジスタ14へのデータの流れるが有効となり、退避レジスタ16に保持されていたデータが標準レジスタ14に書き戻される。

【0030】また、T3ではカウント40も割込み処理終了信号34によりカウント動作を開始し、退避レジスタ16から標準レジスタ14への書き戻しに必要な時間だけカウントするとカウントパルスを発生して比較器A15と比較器B16に出力する。

【0031】カウントパルスの立ち下がりでは比較器A42と比較器B44の出力が反転する。この反転した出力はT6でスイッチAとスイッチBのそれぞれに輸入され、スイッチAとスイッチBの状態が割込み処理前の状態になり、バス制御回路18は通常の動作に戻り、標準レジスタ14に書き込まれたデータが退避レジスタ16に反映（退避）される状態になる。

【0032】以上説明したように、この実施の形態にかかるマイクロコンピュータでは、割り込み処理に遷移する場合は、標準レジスタ14の内容をバス20a、バス制御回路18及びバス20bを介して退避レジスタ16に書き込めばよい。一方、割り込み処理から復帰する場合は、退避レジスタ16の内容をバス20b、バス制御回路18及びバス20aを介して、標準レジスタに書き戻すことができる。

【0033】このため、割り込み処理に遷移するために

必要となる処理時間を短くすることができるだけでなく、割り込み処理から復帰するために必要となる処理時間も短くすることができる。

【0034】

【発明の効果】以上詳述したように本発明によれば、通常の動作時に、演算器が動作する際に使用する標準レジスタが保持するデータを、常時、退避レジスタに反映させることで、割込み要求が発生した時に、標準レジスタに保持されたデータに対する退避処理を行うことなく割込み処理に遷移することが可能となる。すなわち、割込み処理の要求が発生した時に、レジスタのデータをメモリへ退避させるソフトウェアによる処理が不要となり高速に割込み処理への遷移が可能となる。また、ソフトウェアによるレジスタの退避処理が必要なくコードサイズを削減することができる。

【0035】さらに、本発明によれば、割り込みからの復帰時の処理時間も短くすることができる。

【図面の簡単な説明】

【図1】本実施形態に係るマイクロコンピュータの概略構成を示すブロック図である。

【図2】図1中に示す標準レジスタ、退避レジスタ、及びバス制御回路の関係をj示すブロック図である。

【図3】図2中に示すバス制御回路の詳細な構成を示すブロック図である。

【図4】各信号のタイミングを示すタイミングチャートである。

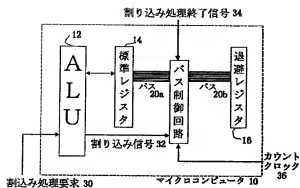
【図5】マイクロコンピュータの動作を説明するための図である。

【図6】割込み処理が発生した場合のレジスタの退避処理を説明するための図である。

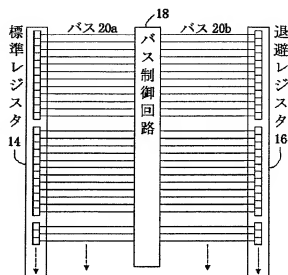
【符号の説明】

- 10 マイクロコンピュータ
- 12 ALU
- 14 標準レジスタ
- 16 退避レジスタ
- 20a、20b バス
- 30 割込み処理要求
- 32 割込み信号
- 34 割込み処理終了信号
- 36 カウントクロック
- 40 カウント
- 42 比較器A
- 44 比較器B
- 46 信号方向変更回路
- A、B スイッチ

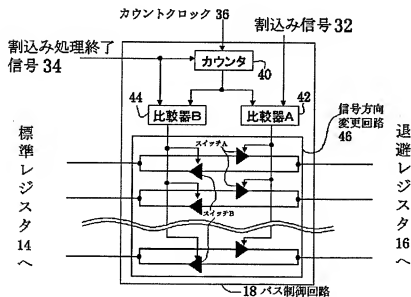
【図1】



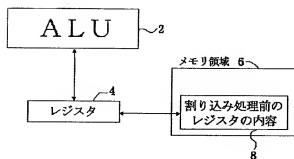
【図2】



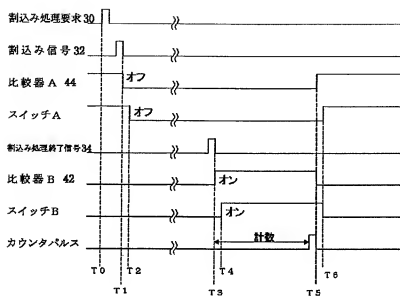
【図3】



【図6】



【図4】



【図5】

